

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09102602 A**(43) Date of publication of application: **15.04.97**

(51) Int. Cl.

**H01L 29/78**  
**H01L 29/872**  
**// H02M 3/28**

(21) Application number: **07258599**(22) Date of filing: **05.10.95**(71) Applicant: **NIPPON TELEGR & TELEPH  
CORP <NTT>**

(72) Inventor: **YAMASHITA NOBUHIKO**  
**MATSUMOTO SATOSHI**  
**YANAI TOSHIAKI**

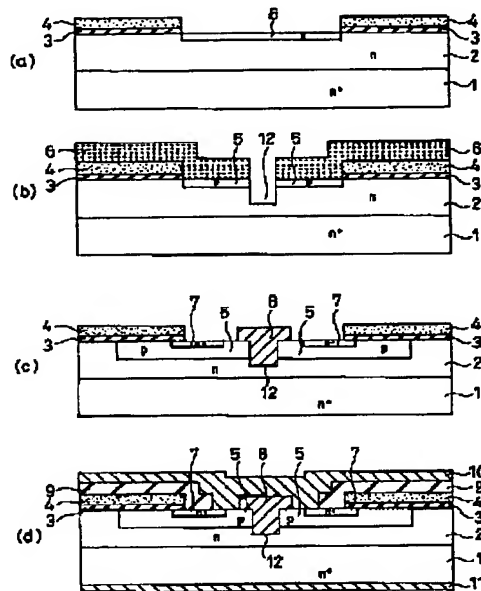
(54) MOSFET

(57) Abstract:

**PROBLEM TO BE SOLVED:** To make wiring between a MOSFET and a Schottky barrier diode unnecessary, and theoretically eliminate influence of the wiring inductance, by forming a hole and forming a source contact and a Schottky barrier junction to a drain region, at the same time.

**SOLUTION:** After an N-type epitaxial layer 2 is formed, a gate insulating film 3 is formed. A polysilicon gate is formed as a gate electrode 4, and P-type impurities for forming a channel forming region 5 are introduced by ion implantation or the like. A hole 12 is formed by using a resist mask 6 for forming the hole. After the channel forming region 5 and a source region 7 are formed, a barrier metal layer 8 turning to a Schottky barrier junction is deposited in the hole 12 and its peripheral part. After an interlayer insulating layer 9 is formed, a source electrode 10 and a drain electrode 11 are formed.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-102602

(43) 公開日 平成9年(1997)4月15日

(51) IntCl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/78		9055-4M	H 0 1 L 29/78	6 5 3 B
29/872			H 0 2 M 3/28	F N1, F11
// H 0 2 M 3/28		9055-4M	H 0 1 L 29/48	F
		9055-4M	29/78	6 5 2 M
				6 5 3 C
審査請求 未請求 請求項の数 2 O L (全 9 頁)				

(21) 出願番号 特願平7-258599

(22) 出願日 平成7年(1995)10月5日

(71) 出願人 000004226

日本電信電話株式会社  
東京都新宿区西新宿三丁目19番2号

(72) 発明者 山下 暢彦

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(72) 発明者 松本 聡

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(72) 発明者 谷内 利明

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

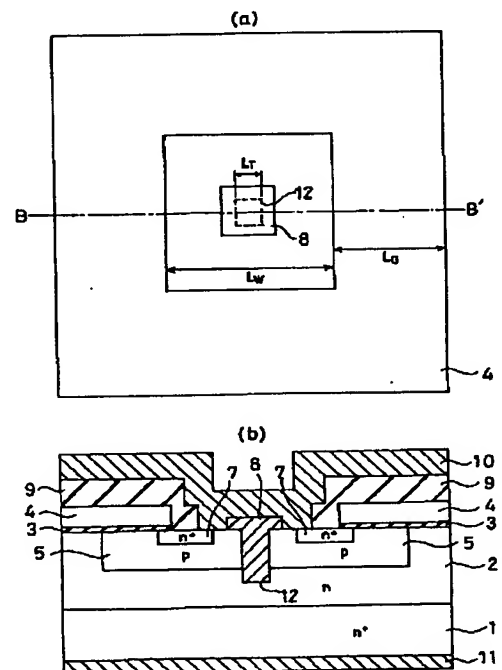
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 MOSFET

(57) 【要約】

【課題】 MOSFETとショットキーバリアダイオードとの間の配線インダクタンス成分をほぼ零の理想的な状態で実現可能とする。

【解決手段】 チャネル形成領域5にゲート絶縁膜3を介してゲート電極4が形成され、半導体基板1に接続するようにドレイン電極11が形成されているMOSFETにおいて、チャネル形成領域5を貫通し、エピタキシャル層2に達する穴12を形成し、この穴12の表面にエピタキシャル層2およびチャネル形成領域5に接し、エピタキシャル層2に対してショットキーバリア接合となるバリア金属層8を形成し、このバリア金属層8とチャネル形成領域5およびソース領域7とを接続するようにソース電極10を形成することにより、MOSFET構造中にショットキーバリアダイオードを一体化した素子とする。



## 【特許請求の範囲】

【請求項1】 ドレイン領域を形成する第1の導電型の不純物濃度が低い単層または不純物濃度が低い層と高い層との複数の層からなる第1の半導体領域と、チャネル形成領域としての第2の導電型の第2の半導体領域と、ソース領域としての第1の導電型の不純物濃度が高い第3の半導体領域とを具備し、前記第2の半導体領域のチャネル形成面にゲート絶縁膜としての絶縁層を介してゲート電極としての第1の導電性層が形成され、前記第1の半導体領域に接続するようにドレイン電極としての第2の導電性層が形成されているMOSFETにおいて、前記第2の半導体領域を貫通し、前記第1の半導体領域に達する穴が形成され、前記穴の少なくとも表面に前記第1の半導体領域および第2の半導体領域に接し、前記第1の半導体領域に対してショットキーバリア接合となる第1の金属層が形成され、前記第1の金属層と第2の半導体領域および第3の半導体領域とを接続するようにソース電極としての第3の導電層が形成されていることを特徴とするMOSFET。

【請求項2】 ドレイン領域を形成する第1の導電型の不純物濃度が低い単層または不純物濃度が低い層と高い層との複数の層からなる第1の半導体領域と、チャネル形成領域としての第2の導電型の第2の半導体領域と、ソース領域としての第1の導電型の不純物濃度が高い第3の半導体領域とを具備し、前記第2の半導体領域のチャネル形成面にゲート絶縁膜としての絶縁層を介してゲート電極としての第1の導電性層が形成され、前記第1の半導体領域に接続するようにドレイン電極としての第2の導電性層が形成されているMOSFETにおいて、前記第3の半導体領域および第2の半導体領域を貫通し、前記第1の半導体領域に達する穴が形成され、前記穴の少なくとも表面に前記第1の半導体領域、第2の半導体領域および第3の半導体領域に接し、前記第1の半導体領域に対してショットキーバリア接合となる第1の金属層が形成され、前記第1の金属層に接続するようにソース電極としての第3の導電層が形成されていることを特徴とするMOSFET。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、DC-DCコンバータなどの同期整流回路に用いるMOSFETに係わり、特にショットキーバリア接合をMOSFETセル内に内蔵して寄生配線インダクタンスの低減を図り、整流動作時の導通損失を低減するMOSFETに関するものである。

## 【0002】

【従来の技術】 図11は、同期整流回路を用いたDC-DCコンバータの回路構成例を示す図である。図11に示すDC-DCコンバータの整流回路において、MOSFETQ1、Q2を同期整流素子として用い、同期整流

回路を構成すると、MOSFETQ1、Q2は抵抗特性であるので、ショットキーバリアダイオードを用いる場合よりも導通損失を低減でき、DC-DCコンバータの高効率化が図れる。ただし、MOSFETQ1、Q2は3端子素子でゲートの駆動が必要である。

【0003】 また、DC-DCコンバータの動作条件によっては、MOSFETQ1、Q2のゲートを駆動できない場合があり、このとき、整流電流を流す目的でショットキーバリアダイオードD1、D2をそれぞれMOSFETQ1、Q2に並列に接続することが通常行われる。なお、図中、Tはトランス、Sはスイッチ、Lはインダクタ、Cはコンデンサである。

【0004】 従来のMOSFET構造の第1の例を図12に、第2の例を図13にそれぞれ断面図で示す。これらの図において、1は $n^+$  形半導体基板、2は $n^-$  エピタキシャル層、3はゲート絶縁膜、4はポリシリコンゲート、5はp形チャネル形成領域、7は $n^+$  形ソース領域、9は層間絶縁層、10はソース電極、11はドレイン電極である。

【0005】 図12は、パワー用として広く使用されている一般的な縦型二重拡散MOSFETの構造であり、図13は穴を形成してその穴に沿ってチャネルを形成することでオン抵抗の低減を図ったU溝MOSFETの構造である。いずれもショットキーバリアダイオードを構造的に含んでおらず、前述した同期整流素子としてこれらの従来のMOSFETを用いる場合、個別のショットキーバリアダイオードを接続する必要がある。

## 【0006】

【発明が解決しようとする課題】 しかしながら、MOSFETとショットキーバリアダイオードとを接続して使用する場合、接続の配線のために寄生的にある有限の値の配線インダクタンスが存在し、この配線インダクタンスが導通損失を増大させることになる。すなわち一旦整流電流がショットキーバリアダイオードに流れると、MOSFETがオン状態になっても、配線インダクタンスのためにある有限の時間で整流電流がショットキーバリアダイオードからMOSFETに切り替わり、その間、電流がショットキーバリアダイオードとMOSFETとで分担され、MOSFETによる導通損失低減の効果が阻害される。この導通損失低減効果の阻害は、スイッチング周波数が高くなるにつれて顕著になる。

【0007】 配線インダクタンスは、通常のパワー用MOSFETパッケージのボンディングワイヤおよびリード端子などで数nH程度存在する。数nH程度のインダクタンスでも、例えば整流電流が数A、スイッチング周波数が1MHzとしたとき、前述した電流の切り替え時間がスイッチングの1周期と同等程度になり、パワーMOSFETによる導通損失低減効果が著しく失われることになる。数MHz以上のさらに高いスイッチング周波数に対応するためには、MOSFETとショットキーバ

リアダイオードとの間の配線インダクタンスを極限まで、理想的には零まで低減する必要がある。

【0008】以上、説明したように従来技術では、MOSFETとショットキーバリアダイオードとの間の配線インダクタンスを十分に低減することができないという問題があった。

【0009】したがって本発明は、前述した従来の課題を解決するためになされたものであり、その目的は、ショットキーバリアダイオードを内蔵し、かつMOSFETとショットキーバリアダイオードとの間の配線インダクタンス成分をほぼ零の理想的な状態で実現可能とするMOSFETを提供することある。

【0010】

【課題を解決するための手段】このような課題を解決するために本発明においては、ドレイン領域を形成する第1の導電型の不純物濃度が低い単層または不純物濃度が低い層と高い層との複数の層からなる第1の半導体領域と、チャネル形成領域としての第2の導電型の第2の半導体領域と、ソース領域としての第1の導電型の不純物濃度が高い第3の半導体領域とを具備し、第2の半導体領域のチャネル形成面にゲート絶縁膜としての絶縁層を介してゲート電極としての第1の導電性層が形成され、第1の半導体領域に接続するようにドレイン電極としての第2の導電性層が形成されているMOSFETにおいて、以下の特徴を有する2種類のMOSFETを実現手段とする。

【0011】第2の半導体領域を貫通して第1の半導体領域に達する穴を形成し、この穴の少なくとも表面に第1の半導体領域および第2の半導体領域に接し、第1の半導体領域に対してショットキーバリア接合となる第1の金属層を形成し、この第1の金属層と第2の半導体領域および第3の半導体領域とを接続するようにソース電極としての第3の導電層を形成することを特徴としている。

【0012】また、第3の半導体領域および第2の半導体領域を貫通して第1の半導体領域に達する穴を形成し、この穴の少なくとも表面に第1の半導体領域、第2の半導体領域および第3の半導体領域に接し、第1の半導体領域に対してショットキーバリア接合となる第1の金属層を形成し、この第1の金属層に接続するようにソース電極としての第3の導電層を形成することを特徴としている。

【0013】これらの構成において、第1の半導体領域達する穴と、第1の半導体領域に対してショットキーバリア接合となる第1の金属層とを形成することによってMOSFET構造中にショットキーバリアダイオードを一体化した素子とすることができる。したがってMOSFETとショットキーバリアダイオードとの間の配線がなくなり、従来発生していたMOSFETとショットキーバリアダイオードとの間の配線インダクタンスによる

ショットキーバリアダイオードからMOSFETへの電流切り替えの遅れが解消され、導通損失の増大が抑えられる。この作用は、スイッチング周波数が高周波化するほど大きな効果を発揮する。

【0014】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態を詳細に説明する。図1は、本発明によるMOSFETの第1の実施の形態による構成を説明するための図であり、図1(a)はMOSFETの主要部の平面図、図1(b)は図1(a)のB-B'線における断面図である。なお、図1の構造は、一つのセルを示しており、実際のMOSFETは、必要な電流容量に応じて任意の数のセルを1チップ上に形成して構成される。

【0015】図1において、1および2はそれぞれ第1の導電型の第1の半導体領域であるSi、Ge、GaAs、SiC、Cなどからなるn<sup>+</sup>形半導体基板およびn形エピタキシャル層、3はゲート絶縁膜、4は第1の導電性層であるポリシリコン、タングステンシリサイド、モリブデンシリサイド、チタンシリサイド、タンタルシリサイド、タングステン、モリブデンなどからなるゲート電極、5は第2の半導体領域であるp型チャネル形成領域、7は第3の半導体領域であるn<sup>+</sup>形ソース領域、8は第1の金属層であるCr、Mo、Ti、Hfなどの金属からなるバリア金属層、9は層間絶縁層、10は第3の導電性層であるソース電極、11は第2の導電性層であるドレイン電極、12はバリア金属層8が形成された穴である。

【0016】図2は、図1に示すMOSFETの製造プロセスの概略を説明する各工程における断面図を示したものである。まず、図2(a)に示すようにn<sup>+</sup>半導体基板1上にn形エピタキシャル層2を形成した後、ゲート絶縁膜3を形成し、次にゲート電極4として例えばポリシリコンを堆積した後、パターニングしてポリシリコンゲートを形成し、このポリシリコンゲートをマスクとしてn形エピタキシャル層2内にチャネル形成領域5を形成するためのp形不純物をイオン打ち込みなどにより導入する。

【0017】次に図2(b)に示すように穴形成用のレジストマスク6を形成し、このレジストマスク6によって穴12を形成する。次に図2(c)に示すようにソース領域7の形成のためのチャネル形成領域5内にn形不純物をイオン打ち込みなどにより導入し、アニール拡散によってチャネル形成領域5およびソース領域7を形成した後、穴12およびその周辺部にバリア金属層8を堆積する。次に図2(d)に示すように層間絶縁層9を形成した後、ソース電極10およびドレイン電極11を形成する。

【0018】このような方法において、穴12を埋め込んでバリア金属層8を形成することにより、このバリア金属層8上に形成されるソース電極10の表面における

凹凸が少なくなり、ウエハ表面が平坦化され、その後に行われるプロセス上有利となる。

【0019】なお、前述した図1(a)にゲート電極4の幅( $L_g$ )、ゲート電極4間の幅( $L_w$ )および穴12の幅( $L_t$ )をそれぞれ示しているが、これらの具体的な例としては、例えば $L_g$ を $4\mu m$ 、 $L_w$ を $18\mu m$ にすると、MOSFETセル1個当たりの抵抗は $500\Omega$ 程度になる。MOSFETに電流を流したときの降下電圧を例えば $0.2V$ にするためには、セル1個当たりの電流は $0.4mA$ となる。ショットキーバリア接合の電流密度を例えば $4A/mm^2$ にとり、MOSFETがオフ状態のときに $0.4mA$ を流すためには、 $L_t$ は $10\mu m$ 必要になる。このとき、バリア金属層8に例えばCrを用いると、ショットキーバリア接合における降下電圧は $0.4\sim 0.5V$ となる。

【0020】図3は、本発明によるMOSFETの第2の実施の形態による構成を説明するための図であり、図3(a)はMOSFETの主要部の平面図、図3(b)は図3(a)のB-B'線における断面図であり、前述した図と同一部分には同一符号を付してある。図3において、図1と異なる点は、MOSFETのセルの形状を四角ではなく、細長いストライプ状に形成され、断面構造は図1(b)と同様である。

【0021】このような構成においては、図1の構造よりもショットキーバリア接合の面積を増大させることができる。これによってショットキーバリア接合の電流密度が下がり、ショットキーバリア接合における降下電圧を低減させることが可能となる。

【0022】図4は、本発明によるMOSFETの第3の実施の形態による構成を説明するための図であり、図4(a)はMOSFETの主要部の平面図、図4(b)は図4(a)のB-B'線における断面図であり、前述した図と同一部分には同一符号を付してある。図4において、図1と異なる点は、第2の半導体領域であるチャネル形成領域5、第3の半導体領域であるソース領域7へのコンタクトを第1の金属層であるバリア金属層8を介して行い、MOSFETセルの縮小化を図った構造である。

【0023】このような構成において、MOSFETセルが縮小化されることにより、単位面積当たりのセル数を増加させ、MOSFETチップのオン抵抗を低減させることができる。図4は四角形のセルの場合を示したものであり、同様の断面構造でストライプ状の構造とした第4の実施の形態を図5(a)に示す。

【0024】図6は、本発明によるMOSFETの第5の実施の形態による構成を説明するための図であり、図6(a)はMOSFETの主要部の平面図、図6(b)は図6(a)のB-B'線における断面図であり、前述した図と同一部分には同一符号を付してある。図6において、図1と異なる点は、チャネルが穴部分に形成され

たU溝MOSFET構造に対して本発明の構成を適用した構造である。図6は四角形のセルを用いる例であり、図7はストライプ状の構造とした第6の実施の形態を示す。

【0025】また、図8は、本発明によるMOSFETの第7の実施の形態を示したものであり、前述した図と同一部分には同一符号を付してある。図8において、第2の半導体領域であるチャネル形成領域5、第3の半導体領域であるソース領域7へのコンタクトを、第1の金属層であるバリア金属層8を介して行い、MOSFETセルの縮小化を図った構造である。

【0026】このような構成においては、MOSFETセルが縮小化されることにより、単位面積当たりのセル数を増加させ、MOSFETチップのオン抵抗を低減させることができる。図8は四角形のセルの場合を示したものであり、同様の断面構造でストライプ状の構造とした第8の実施の形態を図9に示す。

【0027】図10は、本発明によるMOSFETの第9の実施の形態を示したものであり、前述した図と同一部分には同一符号を付してある。図10において、前述した各実施の形態と異なる点は、穴12をバリア金属層8で埋め込むのではなく、穴12の表面のみにバリア金属層8を形成し、このバリア金属層8上にソース電極10を形成しても良い。

【0028】このような構成においては、バリア金属層8上に形成されたソース電極10の表面に凹凸面が少なくなり、ウエハ表面が平坦化されるので、その後に行われるプロセス上有利となる。なお、このようにバリア金属層を8を穴12の表面のみに形成する構成を、前述した第1～第8の実施の形態の構成に適用しても同様の効果が得られることは勿論である。

【0029】以上、説明した本発明によるMOSFETの各実施の形態においても、ドレインエピタキシャル層にショットキーバリア接合によってMOSFETのドレイン・ソース間にショットキーバリアダイオードが並列に形成されることになる。このようにして形成されたショットキーバリアダイオードは、MOSFET構造と一体化されており、相互の配線は存在せず、配線によるインダクタンスは原理的に存在しない。このように本発明によるMOSFETはショットキーバリアダイオードを内蔵し、MOSFETとショットキーバリアダイオードとの間のインダクタンスをほぼ理想的に零できるという極めて優れた効果が得られる。

【0030】なお、前述した実施の形態に示した構造の半導体領域の導電型をn型とp型とで反対にする構成を用いても、前述と同様の効果が得られることは言うまでもない。

【0031】

【発明の効果】以上、説明したように本発明によるMOSFETは、穴を形成してソースコンタクトとともにド

レイン領域へのショットキーバリア接合を同時に形成するようにしたので、MOSFETとショットキーバリアダイオードとの間の配線が不要となり、その配線インダクタンスによる影響を原理的になくしたMOSFETを得ることができる。

【0032】また、本発明による他のMOSFETは、第2の半導体領域、第3の半導体領域へのコンタクトを、第1の金属層を介して行うようにしたので、セルの面積を縮小でき、高密度にMOSFET素子を形成できるという極めて優れた効果が得られる。

【0033】したがって、本発明のMOSFETは、DC-DCコンバータなどの同期整流素子として優れた特性を有し、特にスイッチング周波数の高周波化に当たって極めて優れた効果が得られる。

#### 【図面の簡単な説明】

【図1】 本発明によるMOSFETの第1の実施の形態を説明する図である。

【図2】 本発明によるMOSFETの製造方法を説明する各工程における断面図である。

【図3】 本発明によるMOSFETの第2の実施の形態を説明する図である。

【図4】 本発明によるMOSFETの第3の実施の形態を説明する図である。

【図5】 本発明によるMOSFETの第4の実施の形

態を説明する図である。

【図6】 本発明によるMOSFETの第5の実施の形態を説明する図である。

【図7】 本発明によるMOSFETの第6の実施の形態を説明する図である。

【図8】 本発明によるMOSFETの第7の実施の形態を説明する図である。

【図9】 本発明によるMOSFETの第8の実施の形態を説明する図である。

【図10】 本発明によるMOSFETの第9の実施の形態を説明する断面図である。

【図11】 パワーMOSFETを同期整流素子として用いたDC-DCコンバータの回路構成を示す図である。

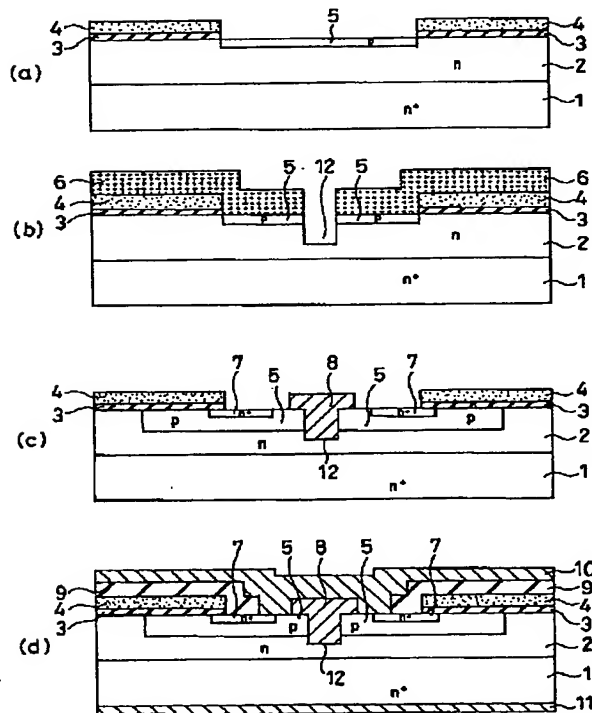
【図12】 従来のパワーMOSFETの構成の一例を示す断面図である。

【図13】 従来のパワーMOSFETの構成の他の例を示す断面図である。

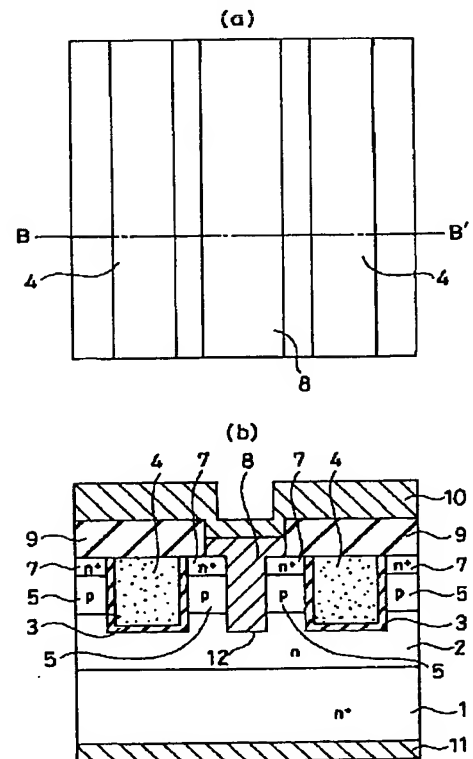
#### 【符号の説明】

1…半導体基板、2…エピタキシャル層、3…ゲート絶縁膜、4…ゲート電極、5…チャネル形成領域、6…レジストマスク、7…ソース領域、8…バリア金属層、9…層間絶縁層、10…ソース電極、11…ドレイン電極、12…穴。

【図2】

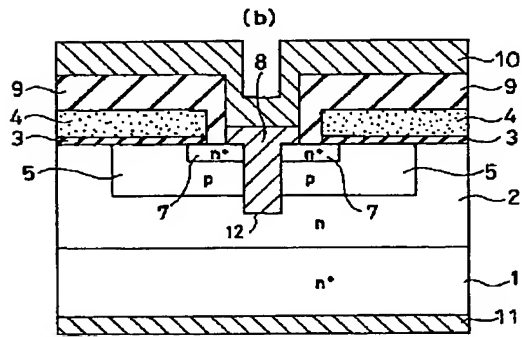
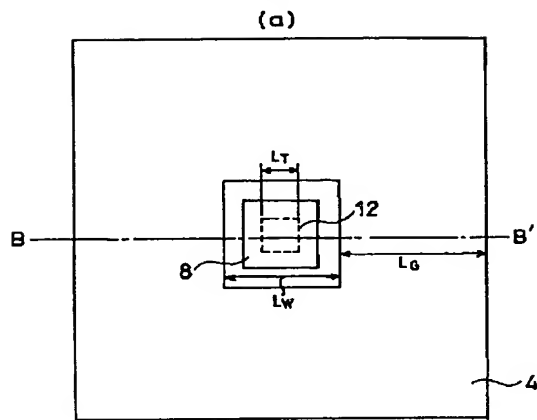


【図9】

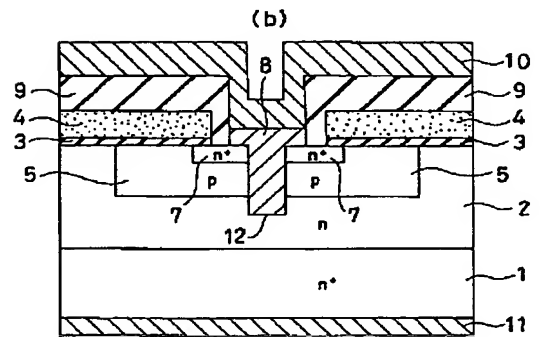
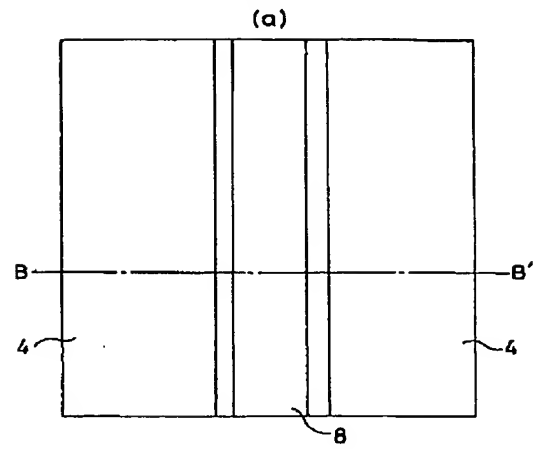




【図4】

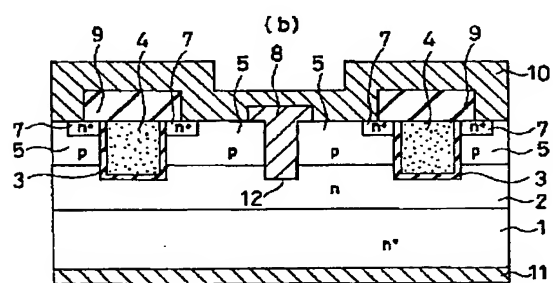
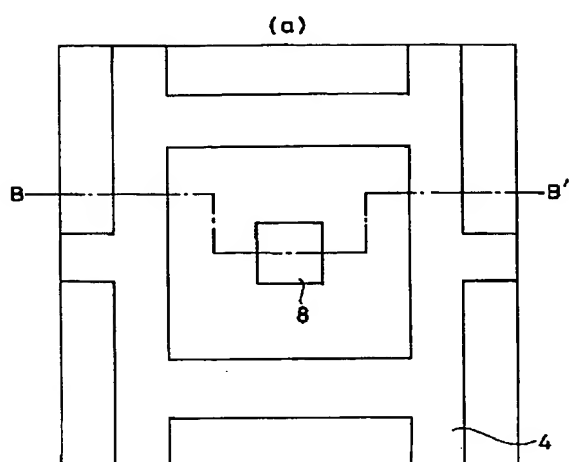


【図5】

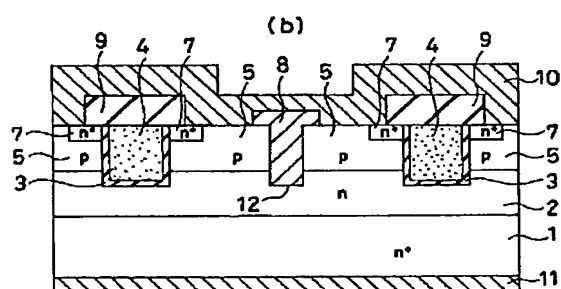
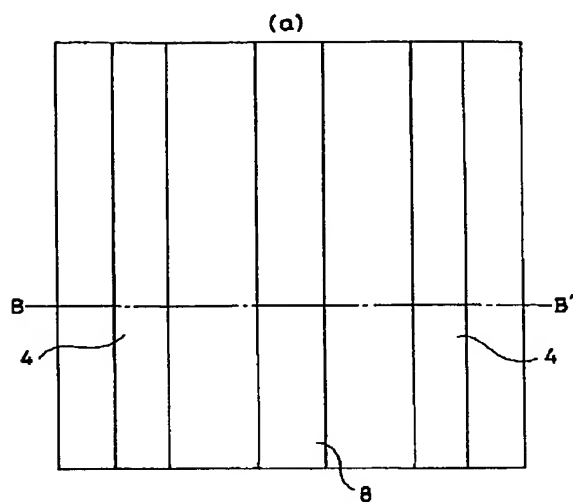




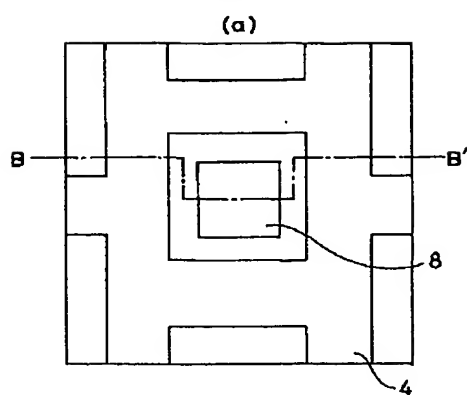
【图 6】



【圖 7】



【図 8】



【図 10】

